

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-275544
(43)Date of publication of application : 21.10.1997

(51)Int.Cl. H04N 5/92
G11B 20/10

(21)Application number : 09-023039 (71)Applicant : MATSUSHITA
ELECTRIC IND CO
LTD

(22)Date of filing : 05.02.1997 (72)Inventor : MIYAKOSHI EIJI
WATABE AKIHIRO

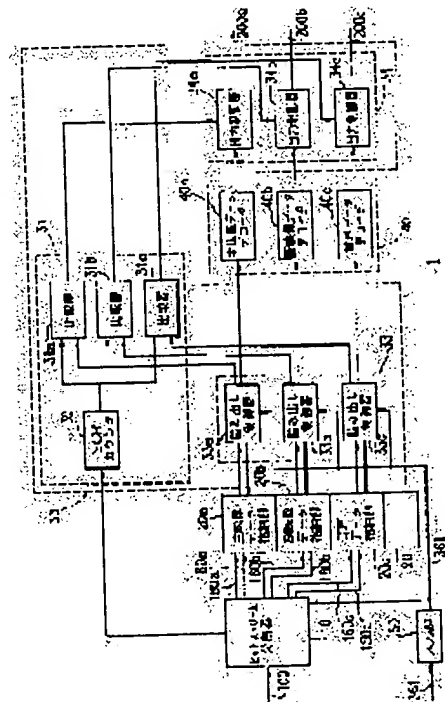
(30)Priority
Priority number : 08 21551 Priority date : 07.02.1996 Priority country : JP

(54) DECODER AND DECODING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the decoder in which a load of a CPU is relieved.

SOLUTION: A controller 30 is provided with a system clock reference SCR - presentation time stamp PTS comparison section 31, a read control section 33 and an output control section 34. The SCR-PTS comparison section 31 receives a SCR from a bit stream decomposing device 10 and receives a PTS from the read control section 33 as shown below. The SCR-PTS comparison section 31 based on the SCR and PTS provides an output control signal specifying a timing of output of a decoded signal to the output control section 34. Depending on the quantity relation between the counted-up value by the SCR counter 32 and the PTS, an output timing of an elementary decoder section 40 is controlled. Thus, the signal decoded by the elementary decoder section 40 is



synchronized.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-275544

(43)公開日 平成9年(1997)10月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/92			H 0 4 N 5/92	H
G 1 1 B 20/10	3 2 1	7736-5D	G 1 1 B 20/10	3 2 1 Z

審査請求 未請求 請求項の数9 O L (全 18 頁)

(21)出願番号 特願平9-23039

(22)出願日 平成9年(1997)2月5日

(31)優先権主張番号 特願平8-21551

(32)優先日 平8(1996)2月7日

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 宮越 英司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 渡部 彰啓

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

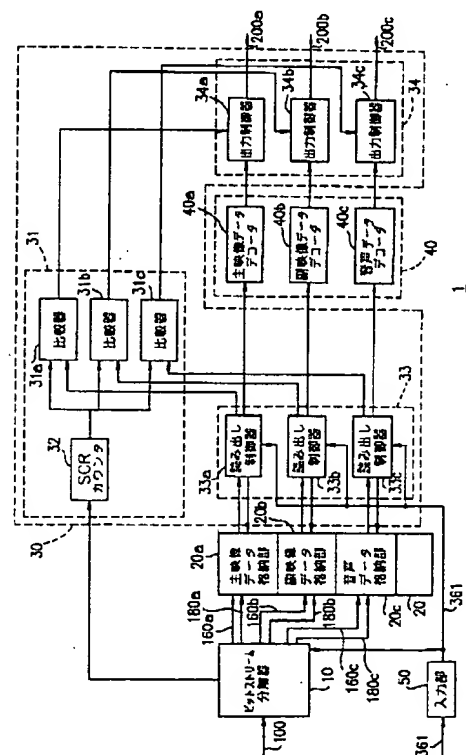
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 デコード装置およびデコード方法

(57)【要約】 (修正有)

【課題】 CPUの負荷を低減したデコード装置を提供する。

【解決手段】 コントローラ30は、SCR-PTS比較部31と、読み出し制御部33と、出力制御部34とを有している。SCR-PTS比較部31は、ビットストリーム分解器10からSCR121を受け取り、後述するように読み出し制御部33からPTS141を受け取る。SCR-PTS比較部31は、SCR121の値とPTS141の値とに基づいて、デコードされた信号を出力するタイミングを規定する出力制御信号を出力制御部34に供給する。SCRカウンタ32によってカウントアップされた値とPTS141の値との大小関係に応じて、エレメンタリデコーダ部40の出力タイミングが制御される。これにより、エレメンタリデコーダ部40によってデコードされた信号の同期合わせを行うことが可能となる。



【特許請求の範囲】

【請求項1】 ビットストリームをデコードすることにより、デコードされた信号を出力するデコード装置であって、

該ビットストリームをヘッダとデータとに分解する分解器と、

該ヘッダから、該デコードされた信号を出力するタイミングを規定する第1タイミング情報を抽出する抽出器と、

該第1タイミング情報を該データの所定の位置に挿入するフォーマッタと、

該データをデコードすることにより、該デコードされた信号を生成するデコーダと、

該デコードされた信号を出力するタイミングの基準を規定する第2タイミング情報と該データの所定の位置に挿入された該第1タイミング情報とに基づいて、該デコードされた信号を出力するタイミングを制御する出力制御器とを備えたデコード装置。

【請求項2】 前記データは、複数のデータ部分を含んでおり、

前記フォーマッタは、

前記複数のデータ部分のうちの所定のデータ部分を特定する検出信号に応答して、前記複数のデータ部分のそれぞれと前記第1タイミング情報とのうちの一方を選択する選択回路を備えている、請求項1に記載のデコード装置。

【請求項3】 前記データは、複数のデータ部分を含んでおり、

前記フォーマッタは、

該複数のデータ部分のうちの1つと該複数のデータ部分のうちの他の1つとをアドレス的にリンクするアドレスポインタを前記データの所定の位置に挿入する、請求項1に記載のデコード装置。

【請求項4】 前記フォーマッタは、

前記複数のデータ部分のうちの所定のデータ部分を特定する検出信号に応答して、前記複数のデータ部分のそれぞれと前記第1タイミング情報とのうちの一方を選択する第1選択回路と、

該検出信号を受け取ってから該検出信号に続く次の検出信号を受け取るまでに該フォーマッタを通過した前記データの量をカウントするカウンタと、

該次の検出信号に応答して、該第1選択回路の出力と該カウンタの出力とのうちの一方を選択する第2選択回路とを備えている、請求項3に記載のデコード装置。

【請求項5】 制御信号に応答して、前記アドレスポインタを参照することにより、前記複数のデータ部分の少なくとも一部をスキップするように、前記データの読み出しを制御する読み出し制御部をさらに備えている、請求項3に記載のデコード装置。

【請求項6】 制御信号に応答して、前記複数のデータ

部分の少なくとも一部を繰り返し読み出すように、前記データの読み出しを制御する読み出し制御部をさらに備えている、請求項1に記載のデコード装置。

【請求項7】 前記第1タイミング情報と前記第2タイミング情報との比較結果に応じて、前記アドレスポインタを参照することにより、前記複数のデータ部分の少なくとも一部をスキップするように、前記データの読み出しを制御する読み出し制御部をさらに備えている、請求項3に記載のデコード装置。

【請求項8】 前記第1タイミング情報と前記第2タイミング情報との比較結果に応じて、前記複数のデータ部分の少なくとも一部を繰り返し読み出すように、前記データの読み出しを制御する読み出し制御部をさらに備えている、請求項1に記載のデコード装置。

【請求項9】 ビットストリームをデコードすることにより、デコードされた信号を出力するデコード方法であって、

該ビットストリームをヘッダとデータとに分解するステップと、

該ヘッダから、該デコードされた信号を出力するタイミングを規定する第1タイミング情報を抽出するステップと、

該第1タイミング情報を該データの所定の位置に挿入するステップと、

該データをデコードすることにより、該デコードされた信号を生成するステップと、

該デコードされた信号を出力するタイミングの基準を規定する第2タイミング情報と該データの所定の位置に挿入された該第1タイミング情報とに基づいて、該デコードされた信号を出力するタイミングを制御するステップとを備えたデコード方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビットストリームに含まれる主映像データや副映像データや音声データをデコードするデコード装置およびデコード方法に関する。

【0002】

【従来の技術】従来のデコード装置としては、パックヘッダやPESヘッダをいったんバッファメモリに格納し、その後、CPUを用いてシステムクロックリファレンスやプレゼンテーションタイムスタンプを解析することにより、同期合わせを行うものが知られている。

【0003】

【発明が解決しようとする課題】従来のデコード装置では、CPUがデコードされた信号を出力するタイミングを管理するために、CPUは、システムクロックリファレンスとプレゼンテーションタイムスタンプとの対応関係を絶えず更新する必要があった。このため、CPUとデコード装置との間の制御が複雑となり、CPUの負荷

3

が大きいという問題点があった。

【0004】また、従来のデコード装置は、大容量のバッファメモリを必要とするという問題点を有していた。

【0005】本発明は、上記問題点に鑑みてなされたものであり、その目的は、CPUの負荷が小さく、かつ、バッファメモリの容量が少なくすむデコード装置を提供することにある。

【0006】

【課題を解決するための手段】本発明のデコード装置は、ビットストリームをデコードすることにより、デコードされた信号を出力するデコード装置であって、該ビットストリームをヘッダとデータとに分解する分解器と、該ヘッダから、該デコードされた信号を出力するタイミングを規定する第1タイミング情報を抽出する抽出器と、該第1タイミング情報を該データの所定の位置に挿入するフォーマットと、該データをデコードすることにより、該デコードされた信号を生成するデコーダと、該デコードされた信号を出力するタイミングの基準を規定する第2タイミング情報と該データの所定の位置に挿入された該第1タイミング情報とに基づいて、該デコードされた信号を出力するタイミングを制御する出力制御器とを備えており、これにより上記目的が達成される。

【0007】前記データは、複数のデータ部分を含んでおり、前記フォーマットは、前記複数のデータ部分のうちの所定のデータ部分を特定する検出信号に应答して、前記複数のデータ部分のそれぞれと前記第1タイミング情報とのうちの一方を選択する選択回路を備えていてもよい。

【0008】前記データは、複数のデータ部分を含んでおり、前記フォーマットは、該複数のデータ部分のうちの1つと該複数のデータ部分のうちの他の1つとをアドレス的にリンクするアドレスポイントを前記データの所定の位置に挿入してもよい。

【0009】前記フォーマットは、前記複数のデータ部分のうちの所定のデータ部分を特定する検出信号に应答して、前記複数のデータ部分のそれぞれと前記第1タイミング情報とのうちの一方を選択する第1選択回路と、該検出信号を受け取ってから該検出信号に続く次の検出信号を受け取るまでに該フォーマットを通過した前記データの量をカウントするカウンタと、該次の検出信号に应答して、該第1選択回路の出力と該カウンタの出力とのうちの一方を選択する第2選択回路とを備えていてもよい。

【0010】前記デコード装置は、制御信号に应答して、前記アドレスポイントを参照することにより、前記複数のデータ部分の少なくとも一部をスキップするように、前記データの読み出しを制御する読み出し制御部をさらに備えていてもよい。

【0011】前記デコード装置は、制御信号に应答して、前記複数のデータ部分の少なくとも一部を繰り返す

4

読み出すように、前記データの読み出しを制御する読み出し制御部をさらに備えていてもよい。

【0012】前記デコード装置は、前記第1タイミング情報と前記第2タイミング情報との比較結果に応じて、前記アドレスポイントを参照することにより、前記複数のデータ部分の少なくとも一部をスキップするように、前記データの読み出しを制御する読み出し制御部をさらに備えていてもよい。

【0013】前記デコード装置は、前記第1タイミング情報と前記第2タイミング情報との比較結果に応じて、前記複数のデータ部分の少なくとも一部を繰り返し読み出すように、前記データの読み出しを制御する読み出し制御部をさらに備えていてもよい。

【0014】本発明のデコード方法は、ビットストリームをデコードすることにより、デコードされた信号を出力するデコード方法であって、該ビットストリームをヘッダとデータとに分解するステップと、該ヘッダから、該デコードされた信号を出力するタイミングを規定する第1タイミング情報を抽出するステップと、該第1タイミング情報を該データの所定の位置に挿入するステップと、該データをデコードすることにより、該デコードされた信号を生成するステップと、該デコードされた信号を出力するタイミングの基準を規定する第2タイミング情報と該データの所定の位置に挿入された該第1タイミング情報とに基づいて、該デコードされた信号を出力するタイミングを制御するステップとを備えており、これにより上記目的が達成される。

【0015】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0016】（実施の形態1）図1は、本発明の実施の形態1のデコード装置1をDVD再生装置300に適用した例を示す。DVD再生装置300は、DVDディスク310に記録されたデータを読み出すピックアップユニット320と、読み出されたデータに対して再生処理を行うことによりデータストリーム100を生成する物理ブロック330と、データストリーム100をデコードすることにより主映像信号200aと副映像信号200bと音声信号200cとを出力装置350に出力する論理ブロック340としてのデコード装置1と、物理ブロック330および論理ブロック340を制御する中央処理装置（CPU）360とを含んでいる。

【0017】ピックアップユニット320は、所定の波長を有するレーザをDVDディスク310に照射するレーザユニット321を含んでいる。

【0018】物理ユニット330は、誤り符号訂正ユニット331とサーボコントロールユニット332とを含んでいる。

【0019】入力装置370から再生動作開始命令または再生動作終了命令がCPU360に入力されると、C

PU360は、再生動作の開始／終了を示す制御信号361をデコード装置1に出力する。入力装置370から再生動作モードを示す命令（例えば、通常再生モード／2倍速再生モード／フリーズ再生モード）が入力されると、CPU360は、再生動作モードを示す制御信号362をデコード装置1に出力する。デコード装置1は、制御信号361および362に従ってデコード処理を実行する。

【0020】図2は、本発明の実施の形態1のデコード装置1の構成を示す。デコード装置1は、ビットストリーム100を受け取り、ビットストリーム100を主映像データ部分と副映像データ部分と音声データ部分とに分解して、それぞれのデータ部分をデコードする。その結果、デコード装置1は、主映像信号200aと副映像信号200bと音声信号200cとを出力する。

【0021】ビットストリーム100は、蓄積メディアまたは放送メディアからデコード装置1に入力される。蓄積メディアとしては、例えば、CD-ROM、LD、ビデオテープがある。放送メディアとしては、例えば、テレビジョン放送、衛星放送、データ通信がある。

【0022】図3は、デコード装置1に入力されるビットストリーム100の構造を模式的に示したものである。図3では、ビットストリーム100は、MPEG2規格に準拠している。しかし、デコード装置1に入力されるビットストリーム100は、MPEG2規格に準拠しているものには限定されない。後述するようなヘッダおよびデータと同様の構成を有するビットストリームである限り、任意のビットストリームがデコード装置1に入力され得る。

【0023】ビットストリーム100は、時系列的に配置された1以上のパック(PACK)110から構成され、それぞれのパック110は、パックヘッダ120と1以上のパケット(PACKET)130から構成される。それぞれのパケット130は、PESヘッダ140とデータ150とから構成される。データ150は、主映像データ150a、副映像データ150b、音声データ150cのうちのいずれかである。

【0024】主映像データ150aとは、映画やテレビ放送などの映像に含まれる主な情報を示すデータである。副映像データ150bとは、主映像データの付加的な情報であって、例えば、字幕やタイトルなどがこれに相当する。

【0025】パックヘッダ120は、システムクロックリファレンス(SCR; System Clock Reference)121を含んでいる。SCR121は、デコードされた信号を出力するタイミングの基準を規定する。パックヘッダ120は、SCR121の他、最大の入力レートの定義や主映像データ、副映像データおよび音声データの最大のバッファ量の定義などを含む。

【0026】PESヘッダ140は、プレゼンテーションタイムスタンプ(PTS; Presentation Time Stamp)141を含んでいる。PTS141は、デコードされた信号を出力するタイミングを規定する。PTS141によって規定されるタイミングは、SCR121を基準とする相対的なタイミングである。PESヘッダ140は、PTS141の他、デコーディングタイムスタンプ(DTS; Decoding Time Stamp)やエレメンタリーストリームクロックリファレンス(ESCR; Elementary Stream Clock Reference)やトリックプレーコントロールのフラグなどを含む。

【0027】図4(a)は、パックヘッダ120の一般的なシンタックスと、そのシンタックスに従ったビット配列の例とを示す。例えば、system_clock_reference_base[32:30]、system_clock_reference_base[29:15]、system_clock_reference_base[14:0]という3つの配列の結合に対応するビット配列がSCR121に相当する。この例では、SCR121は、33ビットのデータである。

【0028】図4(b)は、PESヘッダ140の一般的なシンタックスと、そのシンタックスに従ったビット配列の例とを示す。例えば、PTS[32:30]、PTS[29:15]、PTS[14:0]という3つの配列の結合に対応するビット配列がPTS141に相当する。この例では、PTS141は、33ビットのデータである。

【0029】図2を再び参照して、デコード装置1は、ビットストリーム分解器10とバッファメモリ20と読み出し制御部33を含むコントローラ30とエレメンタリデコーダ部40とを含んでいる。

【0030】再生動作の開始／終了を示す制御信号361は、入力部50を介してビットストリーム分解器10と読み出し制御部33とに入力される。

【0031】ビットストリーム分解器10は、ビットストリーム100を主映像データ150aと副映像データ150bと音声データ150cとに分解する。ビットストリーム分解器10は、PESヘッダ140からPTS141を抽出し、そのPESヘッダ140に続く1以上のデータ150(主映像データ150aまたは副映像データ150bまたは音声データ150c)の所定の位置にPTS141を挿入する。

【0032】バッファメモリ20は、主映像データを格納するための主映像データ格納部20aと、副映像データを格納するための副映像データ格納部20bと、音声データを格納するための音声データ格納部20cとを有している。

【0033】ビットストリーム分解器10は、PTS141を挿入した主映像データを主映像データ160aとしてバッファメモリ20の主映像データ格納部20aに格納し、PTS141を挿入した副映像データを副映像

データ160bとしてバッファメモリ20の副映像データ格納部20bに格納し、PTS141を挿入した音声データを音声データ160cとしてバッファメモリ20の音声データ格納部20cに格納する。主映像データ160aが格納されるべき主映像データ格納部20a内のアドレスは、アドレス信号180aによって指定される。副映像データ160bが格納されるべき副映像データ格納部20b内のアドレスは、アドレス信号180bによって指定される。音声データ160cが格納されるべき音声データ格納部20c内のアドレスは、アドレス信号180cによって指定される。アドレス信号180a、180bおよび180cは、ビットストリーム分解器10によって生成される。

【0034】図5は、バッファメモリ20の主映像データ格納部20aに格納された主映像データ160aの構造を示す。主映像データ160aは、1以上のアクセスユニット161aを含んでいる。アクセスユニット161aは、1フィールドであってもよいし、1フレームであってもよい。

【0035】アクセスユニット161aは、ピクチャスタートコード(PSC; Picture Start Code)162aを含む。PSC162aは、アクセスユニット161aの先頭から1ワード目に格納される。また、この例では、PTS141は、アクセスユニット161aの先頭から2ワード目に挿入されている。もちろん、PTS141の挿入位置がアクセスユニット161aの先頭から2ワード目に限定されるわけではない。各アクセスユニット161aに共通のルールに従って挿入される限り、PTS141は、アクセスユニット161aの任意の位置に挿入され得る。

【0036】なお、副映像データ160bおよび音声データ160cの構造も、主映像データ160aの構造と同様である。副映像データ160bは、1以上のアクセスユニット161bを含む。アクセスユニット161bは、1フィールドであってもよいし、1フレームであってもよい。音声データ160cは、1以上のアクセスユニット161cを含む。アクセスユニット161cは、1つ1つ単独でオーディオ信号に復号できる最小単位である。例えば、MPEG1のレーヤ1の場合は、アクセスユニット161cは、384サンプルを含む。

【0037】ビットストリーム100に含まれるパックヘッダ120およびPESヘッダ140は、いずれも、バッファメモリ20には格納されない。その代わりに、ビットストリーム分解器10は、パックヘッダ120からSCR121を抽出し、抽出されたSCR121をコントローラ30に送る。また、上述したように、ビットストリーム分解器10は、PESヘッダ140からPTS141を抽出し、そのPESヘッダ140に続く1以上のデータ150の所定の位置にPTS141を挿入する。

【0038】このように、デコードされた信号を出力するタイミングを規定するPTS141は、データ150の所定の位置に直接的に挿入される。これにより、デコード装置1は、CPU360の助けを借りることなく、デコードされた信号を出力するタイミングの同期合わせを実行することができる。CPU360がパックヘッダ120とPESヘッダ140とを解析し、その解析結果の対応関係を維持する必要がない。これにより、CPU360とデコード装置1との間の制御が簡単となり、CPU360の負荷も小さくなる。

【0039】また、ビットストリーム分解器10は、デコードされた信号を出力するタイミングの基準を規定するSCR121をパックヘッダ120から抽出し、デコードされた信号を出力するタイミングを規定するPTS141をPESヘッダ140から抽出する。これにより、それらのヘッダをバッファメモリ20に格納することを省く。これにより、バッファメモリ20に格納されるデータ量を削減することができる。その結果、バッファメモリ20のサイズを小さくすることができる。

【0040】図2を再び参照して、デコード装置1の構成を説明する。

【0041】コントローラ30は、SCR-PTS比較部31と、読み出し制御部33と、出力制御部34とを有している。

【0042】SCR-PTS比較部31は、ビットストリーム分解器10からSCR121を受け取り、後述するように読み出し制御部33からPTS141を受け取る。SCR-PTS比較部31は、SCR121の値とPTS141の値とに基づいて、デコードされた信号を出力するタイミングを規定する出力制御信号を出力制御部34に供給する。

【0043】SCR-PTS比較部31は、SCRカウンタ32と、比較器31a~31cとを有している。ビットストリーム分解器10によって抽出されたSCR121は、SCRカウンタ32に入力される。SCRカウンタ32は、入力されたSCR121を初期値としてセットし、その初期値を90kHzの周波数でカウントアップする。カウントアップされた値が、比較器31a~31cにそれぞれ入力される。また、PTS141が、比較器31a~31cにそれぞれ入力される。PTS141は、後述するように、読み出し制御部33によって読み出されたアクセスユニットから抽出されることによって得られる。

【0044】比較器31aは、SCRカウンタ32の出力とPTS141とを比較し、その比較結果を示す信号を出力制御信号として出力制御部34aに供給する。例えば、SCRカウンタ32によってカウントアップされた値がPTS141の値より小さい場合には、比較器31aは、ローレベルの出力制御信号を出力制御部34aに供給する。それ以外の場合には、比較器31aは、ハ

イレベルの出力制御信号を出力制御器34aに供給する。

【0045】出力制御器34aは、出力制御信号がハイレベルの場合に、主映像データデコーダ40aの出力を許可し、出力制御信号がローレベルの場合に、主映像データデコーダ40aの出力を禁止する。

【0046】比較器31bおよび比較器31cの機能は、比較器31aの機能と同様であり、出力制御器34aと共に出力制御部34に含まれる出力制御器34bおよび出力制御器34cの機能は、出力制御器34aの機能と同様である。従って、ここではそれらの説明を省略する。

【0047】このようにして、SCRカウンタ32によってカウントアップされた値とPTS141の値との大小関係に応じて、エレメンタリデコーダ部40の出力タイミングが制御される。これにより、エレメンタリデコーダ部40によってデコードされた信号の同期合わせを行うことが可能となる。

【0048】読み出し制御部33は、読み出し制御器33a~33cを含んでいる。

【0049】読み出し制御器33aは、主映像データ格納部20aに格納された主映像データ160aをアクセスユニット161aを1単位として読み出し、読み出されたアクセスユニット161aからPSC162aとPTS141とを除いたデータを主映像データデコーダ40aに供給する。また、読み出し制御器33aは、アクセスユニット161aからPTS141を抽出し、抽出されたPTS141を比較器31aに供給する。

【0050】読み出し制御器33bおよび読み出し制御器33cの機能は、読み出し制御器33aの機能と同様である。従って、ここではその説明を省略する。

【0051】出力制御部34は、出力制御器34a~34cを含んでいる。出力制御器34a~34cの機能は、上述したとおりである。

【0052】エレメンタリデコーダ部40は、主映像データデコーダ40aと、副映像データデコーダ40bと、音声データデコーダ40cとを含んでいる。

【0053】主映像データデコーダ40a、副映像データデコーダ40bおよび音声データデコーダ40cのそれぞれは、読み出し制御部33によって読み出されたデータを所定のルールに従ってデコードする。どのようなルールを採用するかは規格で定められる。バッファメモリ20に格納されるデータが圧縮されている場合には、エレメンタリデコーダ部40は、その圧縮されたデータを伸張する。デコードされた信号は、出力制御部34を介して出力される。

【0054】図6は、ビットストリーム分解器10の構成を示す。ビットストリーム分解器10は、スタートコード検出器51と、分解器52と、SCR抽出器53と、PTS抽出器54と、フォーマッタ55とを含んで

いる。

【0055】スタートコード検出器51は、スタートコードを検出する。スタートコードは、パックヘッダ120の先頭、PESヘッダ140の先頭およびアクセスユニット151aの先頭に挿入されているコードである。例えば、スタートコードは、24ビットのビット列“0000 0000 0000 0000 0001”である。入力されたビットストリーム100の中にスタートコードが現れた場合、スタートコード検出器51は、スタートコード検出信号を分解器52に出力する。

【0056】分解器52は、スタートコードに続く所定の数のビット（例えば、8ビット）のデータを読み取り、そのデータが所定のビット列に一致するか否かを判定する。

【0057】スタートコードに続く8ビットが“1011 1010”である場合には、分解器52は、そのデータがパックヘッダ120であると判定し、ビットストリーム100からパックヘッダ120を抽出する。このようにして抽出されたパックヘッダ120は、SCR抽出器53に供給される。SCR抽出器53は、パックヘッダ120からSCR121を抽出する。このような抽出は、例えば、図4(a)に示すシンタックスに従って行われる。

【0058】スタートコードに続く8ビットが“1100 XX XX”である場合には、分解器52は、そのデータが主映像データ150aに対応するPESヘッダ140であると判定し、ビットストリーム100からPESヘッダ140を抽出する。このようにして抽出されたPESヘッダ140は、PTS抽出器54に供給される。PTS抽出器54は、PESヘッダ140からPTS141を抽出する。このような抽出は、例えば、図4(b)に示すシンタックスに従って行われる。

【0059】また、抽出されたPESヘッダ140に続く主映像データ150aは、フォーマッタ55に供給される。

【0060】スタートコードに続く8ビットが“1011 1101”である場合には、分解器52は、そのデータが副映像データ150bに対応するPESヘッダ140であると判定し、ビットストリーム100からPESヘッダ140を抽出する。このようにして抽出されたPESヘッダ140は、PTS抽出器54に供給される。PTS抽出器54は、PESヘッダ140からPTS141を抽出する。このような抽出は、例えば、図4(b)に示すシンタックスに従って行われる。

【0061】また、抽出されたPESヘッダ140に続く副映像データ150bは、フォーマッタ55に供給される。

【0062】スタートコードに続く8ビットが“110X XX XX”である場合には、分解器52は、そのデータが音声データ150cに対応するPESヘッダ140であると判定し、ビットストリーム100からPESヘッダ14

0を抽出する。このようにして抽出されたPESヘッダ140は、PTS抽出器54に供給される。PTS抽出器54は、PESヘッダ140からPTS141を抽出する。このような抽出は、例えば、図4(b)に示すシンタックスに従って行われる。

【0063】また、抽出されたPESヘッダ140に続く音声データ150cは、フォーマット55に供給される。

【0064】スタートコードに続く8ビットが"0000 00 00"である場合には、分解器52は、そのデータがピクチャスタートコード(PSC)162aであると判定し、ピクチャスタートコード検出信号をフォーマット55に供給する。

【0065】フォーマット55は、ピクチャスタートコード検出信号にตอบสนองして、PTS抽出器54から出力されるPTS141を主映像データ150a、副映像データ150bおよび音声データ150cの所定の位置に挿入する。その結果、フォーマット55からは、PTS141が挿入された主映像データ160a、副映像データ160bおよび音声データ160cが、出力される。また、フォーマット55から、アドレス信号180a~180cが、出力される。

【0066】図7は、フォーマット55の構成を示す。フォーマット55は、PTSレジスタ550と、主映像データフォーマット部560aと、副映像データフォーマット部560bと、音声データフォーマット部560cとを含む。

【0067】PTSレジスタ550には、PTS抽出器54によって抽出されたPTS141が格納される。

【0068】主映像フォーマット部560aは、選択回路561aと、アドレス生成回路562aとを含む。

【0069】選択回路561aには、主映像データ150aがワード単位で入力される。選択回路561aは、ピクチャスタートコード検出信号がローレベルである場合には、主映像データ150aの各ワードを選択的に出力する。選択回路561aは、ピクチャスタートコード検出信号がローレベルからハイレベルに変化したことにตอบสนองして、PTSレジスタ550に格納されたPTS141を選択的に出力する。このようにして、ピクチャスタートコード162aに続くワード位置に、PTS141を挿入することができる。また、ピクチャスタートコード162aから所定数のワードだけ離れた位置に、PTS141を挿入するようにすることもできる。この場合、その所定数のワードは、選択回路561aにおいて、例えば、クロック信号(図示せず)に基づいてカウントされ得る。

【0070】アドレス生成回路562aは、PTS141が挿入された主映像データ160aを格納する主映像データ格納部20a内の位置を示すアドレス信号180aを生成する。

【0071】副映像データフォーマット部560bおよび音声データフォーマット部560cの構成および動作は、主映像フォーマット部560aの構成および動作と同様である。

【0072】(実施の形態2)図8は、本発明の実施の形態2のデコード装置2の構成を示す。デコード装置2の構成は、ビットストリーム分解器11と読み出し制御部35とを除いて、図2に示すデコード装置1の構成と同一である。従って、同一の構成要素には同一の参照番号を付してその説明を省略する。

【0073】ビットストリーム分解器11は、ビットストリーム100を主映像データ150aと副映像データ150bと音声データ150cとに分解する。ビットストリーム分解器11は、PESヘッダ140からPTS141を抽出し、そのPESヘッダ140に続く1以上のデータ150(主映像データ150aまたは副映像データ150bまたは音声データ150c)の所定の位置にPTS141を挿入する。さらに、ビットストリーム分解器11は、データ150の所定の位置にアドレスポインタ171を挿入する。

【0074】図9は、ビットストリーム分解器11によってバッファメモリ20の主映像データ格納部20aに格納された主映像データ160aの構造を示す。図9に示される例では、アドレスポインタ171は、各アクセスユニット161aの先頭から3ワード目に挿入されている。もちろん、アドレスポインタ171の挿入位置がアクセスユニット161aの先頭から3ワード目に限定されるわけではない。各アクセスユニット161aに共通のルールに従って挿入される限り、アドレスポインタ171は、アクセスユニット161aの任意の位置に挿入され得る。

【0075】アドレスポインタ171の値は、時刻的に後方にバッファメモリ20に格納されたアクセスユニットのアドレスポインタのアドレスである。例えば、図9に示される例において、アクセスユニット161a-1の次にアクセスユニット161a-2がバッファメモリ20に格納されると仮定する。さらに、アクセスユニット161a-2のアドレスポインタ171のアドレスは、アクセスユニット161a-1のアドレスポインタ171のアドレスより255ワード後方であると仮定する。この場合、アクセスユニット161a-1のアドレスポインタ171の値は、255に設定される。

【0076】このようにして、アクセスユニット161a-1からアクセスユニット161a-2に向かう方向にポインタチェーンが形成される。このポインタチェーンの方向は、図9において矢印で示される。

【0077】このようなポインタチェーンの形成は、例えば、アクセスユニット161a-1のアドレスポインタ171のアドレス(A1)を退避しておき、アクセスユニット161a-2のアドレスポインタ171のアド

10

20

30

40

50

レス (A2) を求め、アドレス (A2) をアドレス (A1) によって指示される位置に格納することによって達成される。アドレス (A2) は、アドレス (A1) を基準とする相対的なアドレスであってもよい。このような相対的なアドレスは、例えば、ピクチャスタートコード検出信号を受け取ってからその次のピクチャスタートコード検出信号を受け取るまでに、フォーマット 55 (図 6) を通過したデータ量をカウントすることによって得られる。

【0078】図 10 は、フォーマット 55 A の構成を示す。フォーマット 55 (図 6) をフォーマット 55 A に置換することによってデータ 150 の所定の位置にアドレスポインタ 170 を挿入することができる。

【0079】フォーマット 55 A は、PTS レジスタ 550 と、主映像データフォーマット部 660 a と、副映像データフォーマット部 660 b と、音声データフォーマット部 660 c とを含む。

【0080】PTS レジスタ 550 には、PTS 抽出器

	検出信号 S1 が ローレベルから ハイレベルに変化	検出信号 S2 が ローレベルから ハイレベルに変化
データカウンタ 661a	カウント値をリセットして カウント動作開始	無視
アドレスポインタレジスタ 662a	アドレス生成回路 562a に よって生成されるアドレスを 格納	無視
選択回路 663a	無視	データカウンタ 661a の出力を選択
選択回路 664a	無視	アドレスポインタレジスタ 662a の出力を選択

【0084】アドレスポインタレジスタ 662 a は、検出信号 S1 がローレベルからハイレベルに変化したことに応答して、アドレス生成回路 562 a によって生成されるアドレスを格納する。これは、アクセスユニット 161 a-1 のアドレスポインタ 171 のアドレス (A1) を退避するためである (図 9 参照)。

【0085】データカウンタ 661 a は、検出信号 S1 がローレベルからハイレベルに変化したことに応答して、カウント値をリセットした後、カウント動作を開始する。これは、ピクチャスタートコード検出信号を受け取ってからその次のピクチャスタートコード検出信号を受け取るまでに、フォーマット 55 A を通過した主映像データ 150 a のワード数をカウントするためである。

【0086】選択回路 663 a は、検出信号 S2 がローレベルからハイレベルに変化したことに応答して、データカウンタ 661 a によってカウントされたカウント値を選択的に出力する。これにより、アクセスユニット 161 a-1 のアドレスポインタ 171 の位置に対するアクセスユニット 161 a-2 のアドレスポインタ 171 の相対的な位置を示すオフセット値が選択回路 663 a

54 によって抽出された PTS 141 が格納される。

【0081】主映像フォーマット部 660 a は、図 7 に示す主映像フォーマット部 560 a の構成に加えて、データカウンタ 661 a と、アドレスポインタレジスタ 662 a と、選択回路 663 a と、選択回路 664 a とをさらに含む。

【0082】これらの追加の回路 661 a ~ 664 a は、連続する 2 つのピクチャスタートコード検出信号に対して所定の動作を行うように構成されている。以下、連続する 2 つのピクチャスタートコード検出信号のうち先のピクチャスタートコード検出信号を「検出信号 S1」といい、連続する 2 つのピクチャスタートコード検出信号のうち後のピクチャスタートコード検出信号を「検出信号 S2」という。その所定の動作は、表 1 に示すとおりである。

【0083】

【表 1】

の出力として出力される (図 9 参照)。

【0087】選択回路 664 a は、検出信号 S2 がローレベルからハイレベルに変化したことに応答して、アドレスポインタレジスタ 662 a に格納されたアドレスを選択的に出力する。これにより、アドレス (A1) によって指示される位置に、アクセスユニット 161 a-2 のアドレスポインタ 171 の相対的なアドレス (A2) が格納される (図 9 参照)。

【0088】副映像データフォーマット部 660 b および音声データフォーマット部 660 c の構成および動作は、主映像フォーマット部 660 a の構成および動作と同様である。

【0089】なお、副映像データ 160 b および音声データ 160 c の構造も、主映像データ 160 a の構造と同様である。

【0090】実施の形態 1 と同様に、ビットストリーム 100 に含まれるパックヘッダ 120 および PES ヘッダ 140 は、いずれも、バッファメモリ 20 には格納されない。その代わりに、ビットストリーム分解器 11 は、パックヘッダ 120 から SCR 121 を抽出し、

抽出されたSCR121をコントローラ30に送る。また、ビットストリーム分解器11は、PESヘッダ140からPTS141を抽出し、そのPESヘッダ140に続く1以上のデータ150の所定の位置にPTS141を挿入する。さらに、ビットストリーム分解器11は、1以上のデータ150の所定の位置にアドレスポインタ171を挿入する。

【0091】このように、デコードされた信号を出力するタイミングを規定するPTS141とアドレスポインタ171は、データ150の所定の位置に直接的に挿入される。これにより、デコード装置2は、CPU360の助けを借りることなく、デコードされた信号を出力するタイミングの同期合わせを実行することができる。CPU360がパックヘッダ120とPESヘッダ140とを解析し、その解析結果の対応関係を維持する必要がある。これにより、CPU360とデコード装置2との間の制御が簡単となり、CPU360の負荷も小さくなる。

【0092】また、ビットストリーム分解器11は、デコードされた信号を出力するタイミングの基準を規定するSCR121をパックヘッダ120から抽出し、デコードされた信号を出力するタイミングを規定するPTS141をPESヘッダ140から抽出する。これにより、それらのヘッダをバッファメモリ20に格納することを省く。これにより、バッファメモリ20に格納されるデータ量を削減することができる。その結果、バッファメモリ20のサイズを小さくすることができる。

【0093】図8を再び参照して、読み出し制御部35の動作を説明する。読み出し制御部35は、実施の形態1で説明した動作に加えて、アドレスポインタ171を利用して特殊再生動作や同期合わせ動作を実行する。

【0094】読み出し制御部35は、読み出し制御器35a～35cを含んでいる。以下、読み出し制御器35aの動作を例にとり説明する。読み出し制御器35bおよび読み出し制御器35cの動作は、読み出し制御器35aの動作と同様である。

【0095】はじめに、読み出し制御器35aの再生動作を説明する。

【0096】読み出し制御器35aは、入力部50を介して入力される制御信号362に従って動作する。制御信号362が「通常再生モード」を示す場合には、読み出し制御器35aの動作は、実施の形態1で述べた動作と同様である。すなわち、読み出し制御器35aは、主映像データ格納部20aに格納された主映像データ160aをアクセスユニット161aを1単位として読み出し、読み出されたアクセスユニット161aからPSC162aとPTS141とを除いたデータを主映像データデコード40aに供給する。また、読み出し制御器35aは、アクセスユニット161aからPTS141を抽出し、抽出されたPTS141を比較器31aに供給

する。

【0097】制御信号362が「2倍速再生モード」を示す場合には、読み出し制御器35aは、映像データ格納部20aに格納された主映像データ160aのアクセスユニット161aを読み出すのに先だって、そのアクセスユニット161aのアドレスポインタ171を読み出す。上述したように、アドレスポインタ171には、時刻的に後方に位置するアクセスユニット161aのアドレスポインタ171のアドレスA1が格納されている。

読み出し制御器35aは、読み出されたアドレスポインタ171に続くデータを読み出す代わりに、その読み出されたアドレスポインタ171によって指示されるアドレスA2に位置するアドレスポインタ171に続くデータを読み出す。これは、2つのアクセスユニット161aにつき1つの割合でアクセスユニット161aの読み出しをスキップすることを意味する。このようにして、読み出し制御器35aは、2倍速再生を達成する。

【0098】図11は、読み出し制御器35aによる2倍速再生動作を説明するための図である。「通常再生モード」では、読み出し制御器35aは、アクセスユニット911～917を順次読み出す。「2倍速再生モード」では、読み出し制御器35aは、アクセスユニット911、913、915および917のみを順次読み出す。このように、「2倍速再生モード」では、アクセスユニット912、914および916の読み出しがスキップされる。

【0099】制御信号362が「フリーズ再生モード」を示す場合には、読み出し制御器35aは、アドレスポインタ171に続くデータを繰り返し読み出す。これにより、同一のアクセスユニットが連続して再生されることになる。

【0100】図12は、読み出し制御器35aの構成を示す。読み出し制御器35aは、主映像データ格納部20aにおいてアクセスすべき位置を示すアドレスを主映像データ格納部20aに出力し、そのアドレスに対応する主映像データ160aを主映像データ格納部20aから受け取る。

【0101】読み出し制御器35aは、ピクチャスタートコード検出器3500と、PTS抽出器3520と、PTSレジスタ3530とを含む。

【0102】ピクチャスタートコード検出器3500は、アクセスユニット161aに含まれるPSC162aを検出して、ピクチャスタートコード検出信号を出力する。

【0103】PTS抽出器3520は、アクセスユニットに含まれるPTS141を抽出し、抽出されたPTS141をPTSレジスタ3530に格納する。PTSレジスタ3530の出力は、比較器31aに接続される。また、PTS抽出器3520は、アクセスユニット161aからPSC162aとPTS141とを除いたデー

タを主映像データデコーダ40aに供給する。

【0104】読み出し制御器35aは、制御部3510をさらに含む。制御部3510には、入力部50を介して入力される制御信号361および362と、比較器31aの出力と、ピクチャスタートコード検出信号とが入力される。制御部3510は、これらの入力に従って、イネーブル信号EN1～EN4を生成する。

【0105】(1)「通常再生モード」における読み出し制御器35aの動作

制御部3510は、イネーブル信号EN1およびEN2 10をインアクティブに保つ。

【0106】読み出しレジスタ3580に格納されている値は、ピクチャスタートコード検出信号にตอบสนองして0に初期化される。

【0107】制御部3510は、アクセスユニット161aの1ワードを読み出す毎に、イネーブル信号EN3をアクティブにする。その結果、加算器3570の出力は、1つずつインクリメントされて、読み出しレジスタ3580に格納される。

【0108】ベースレジスタ3560に格納されている 20値は、ピクチャスタートコード検出信号にตอบสนองして出力レジスタ3600に格納されている値に初期化される。

【0109】加算器3590は、ベースレジスタ3560の出力と読み出しレジスタ3580の出力とを加算する。

【0110】制御部3510は、アクセスユニット161aの1ワードを読み出す毎に、イネーブル信号EN4をアクティブにする。その結果、加算器3590の出力は、出力レジスタ3600に格納される。出力レジスタ3600の出力は、アドレスとして主映像データ格納部 3020aに供給される。

【0111】(2)「2倍速再生モード」における読み出し制御器35aの動作

制御部3510は、ピクチャスタートコード検出信号にตอบสนองして、イネーブル信号EN1をアクティブにする。その結果、アクセスユニット161a-1のアドレスポインタ171の値がアドレスレジスタ3540に格納される。

【0112】加算器3550は、ベースレジスタ3560の出力とアドレスレジスタ3540の出力とを加算する。 40

【0113】制御部3510は、ピクチャスタートコード検出信号にตอบสนองして、イネーブル信号EN2をアクティブにする。その結果、加算器3550の出力は、ベースレジスタ3560に格納される。このことは、ベースレジスタ3560に格納される値が、「通常再生モード」の場合に比較して、アドレスレジスタ3540に格納されたアドレスポインタ171の値だけ増加していることを意味する。

【0114】「通常再生モード」の場合と同様にして、 50

ベースレジスタ3560の出力と読み出しレジスタ3580の出力とが加算器3590によって加算され、出力レジスタ3600に格納される。出力レジスタ3600は、アクセスユニット161a-1のアドレスポインタ171のアドレスを出力する代わりに、アクセスユニット161a-2のアドレスポインタ171のアドレスを出力する。

【0115】(3)「フリーズ再生モード」における読み出し制御器35aの動作

ベースレジスタ3560に格納されている値は、ピクチャスタートコード検出信号にตอบสนองして出力レジスタ3600に格納されている値に初期化されず、そのまま維持される。その他の動作は、「通常再生モード」の場合と同様である。これにより、同一のアクセスユニット161aのデータが主映像データデコーダ40aに供給されることになる。

【0116】次に、アドレスポインタ171を利用した読み出し制御器35aの同期合わせ動作を説明する。

【0117】実施の形態2では、SCR-PTS比較器31における比較器31aの出力が読み出し制御器35aに入力される。上述したように、比較器31aの出力は、SCR121をカウントアップした値とPTS141の値とを比較した結果を示す。

【0118】SCR121をカウントアップした値とPTS141の値とを比較するタイミングは、例えば、次のように決められる。このようなタイミングを規定する信号は、比較器31a～31cの内部で生成されてもよいし、比較器31a～31cの外部から与えられてもよい。

【0119】映像の場合、NTSC方式のときフレームタイミング33ms、PAL方式のときフレームタイミング25ms。

【0120】音声の場合、MPEG1のレーヤ1のとき384サンプルごと、MPEG1レーヤ2のとき1152サンプルごと。

【0121】SCR121をカウントアップした値がPTS141の値より大きいということは、そのPTS141が挿入されたアクセスユニット161aに対応する信号200aが出力されるべき時刻を過ぎていることを意味する。比較器31aの出力が「SCR121をカウントアップした値がPTS141の値より大きい」ことを示す場合には、読み出し制御器35aは、「2倍速再生モード」における動作と同一の動作を実行する。このような動作は、読み出し制御器35aがアクセスユニット161aの読み出しを所定の割合でスキップすることによって達成される。これにより、出力制御器34aから出力される信号200aの出力タイミングの遅れを回復することが可能となる。

【0122】SCR121をカウントアップした値がPTS141の値より小さいということは、そのPTS1

41が挿入されたアクセスユニット161aに対応する信号200aが出力されるべき時刻が未だに到来していないことを意味する。比較器31aの出力が「SCR121をカウントアップした値がPTS141の値より小さい」ことを示す場合には、読み出し制御器35aは、「フリーズ再生モード」における動作と同一の動作を実行する。このような動作は、読み出し制御器35aが読み出されたアドレスポインタ171に続くデータを繰り返し読み出すことによって達成される。これにより、同一のアクセスユニット161aを任意の回数だけ出力しつつ、出力制御器34aから出力される信号200aの出力タイミングのすすみを調整することができる。

【0123】このように、実施の形態2によれば、アドレスポインタをアクセスユニットの所定の位置に挿入することにより、特殊再生や同期合わせを容易に実現することが可能となる。

【0124】なお、本発明のデコード装置をソフトウェア的に実現することも可能である。当業者であれば、図2に示されるデコード装置1および図8に示されるデコード装置2の機能および動作が、ビットストリームを入力するためのI/Oポートと外部記憶器コントローラとタイマーとを内蔵するマイクロコンピュータを用いてソフトウェアによって実現可能であることを容易に理解することができるであろう。

【0125】

【発明の効果】本発明によれば、デコードされた信号を出力するタイミングを規定する第1タイミング情報は、データの所定の位置に挿入される。これにより、デコード装置は、CPUの助けを借りることなく、デコードされた信号を出力するタイミングの同期合わせを実行することができる。その結果、CPUの負荷は小さくなる。

【0126】また、デコード装置は、ヘッダから第1タイミング情報を抽出する。これにより、そのヘッダをバッファメモリに格納することを省く。これにより、バッファメモリに格納されるデータ量を削減することができる。その結果、バッファメモリのサイズを小さくすることができる。

【0127】また、アドレスポインタをデータの所定の位置に挿入することにより、特殊再生や同期合わせを容易に実現することが可能となる。

【図面の簡単な説明】

【図1】DVD再生装置300の構成を示す図である。

【図2】本発明の実施の形態1のデコード装置1の構成を示す図である。

【図3】デコード装置1に入力されるビットストリーム100の模式的な構造を示す図である。

【図4】(a)は、パックヘッダ120の一般的なシンタックスと、そのシンタックスに従ったビット配列の例とを示す図、(b)は、PESヘッダ140の一般的なシンタックスと、そのシンタックスに従ったビット配列の例とを示す図である。

【図5】バッファメモリ20の主映像データ格納部20aに格納された主映像データ160aの構造を示す図である。

【図6】ビットストリーム分解器10の構成を示す図である。

【図7】フォーマッタ55の構成を示す図である。

【図8】本発明の実施の形態2のデコード装置2の構成を示す図である。

【図9】バッファメモリ20の主映像データ格納部20aに格納された主映像データ160aの構造を示す図である。

【図10】フォーマッタ55Aの構成を示す図である。

【図11】読み出し制御器35aによる2倍速再生動作を説明するための図である。

【図12】読み出し制御器35aの構成を示す図である。

【符号の説明】

10、11 ビットストリーム分解器

20 バッファメモリ

30 コントローラ

31 SCR-PTS比較部

33、35 読み出し制御部

34 出力制御部

40 エリメンタリデコーダ部

50 入力部

51 スタートコード検出器

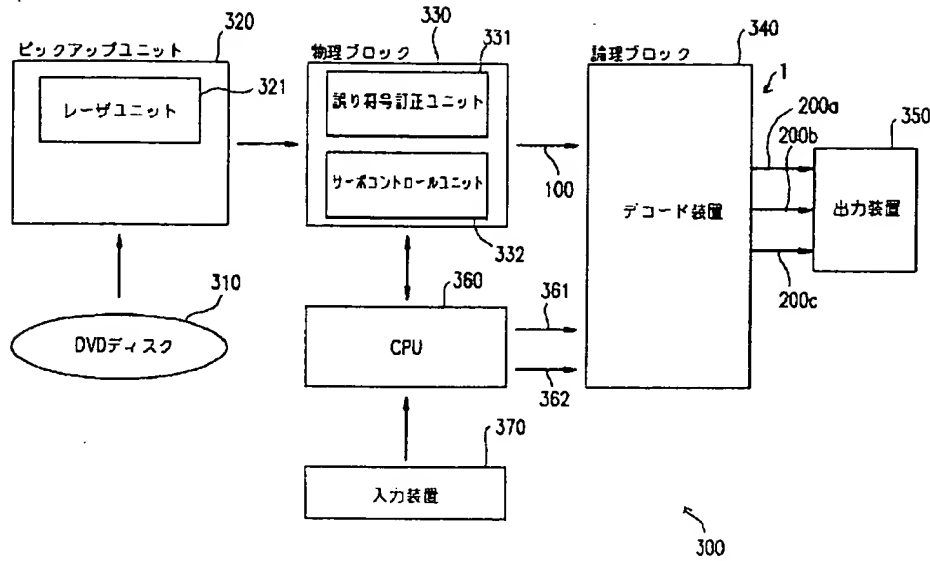
52 分解器

53 SCR抽出器

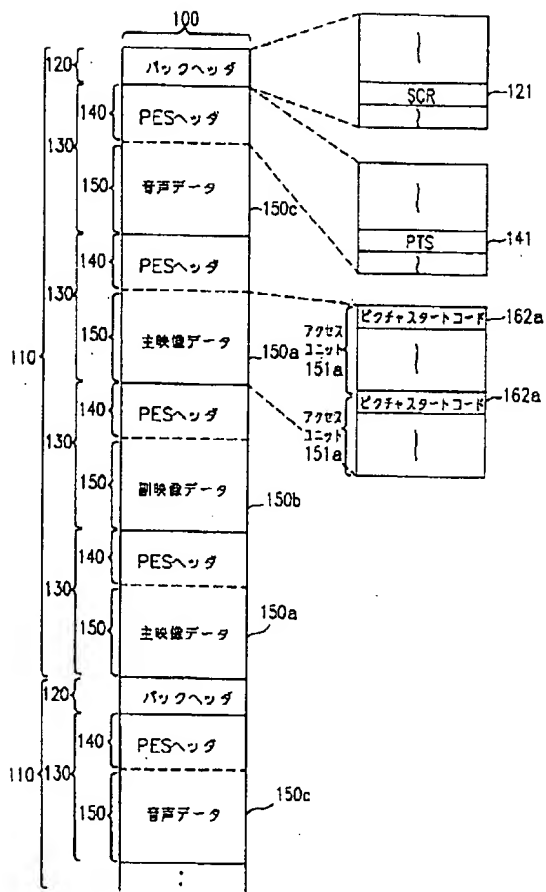
54 PTS抽出器

55 フォーマッタ

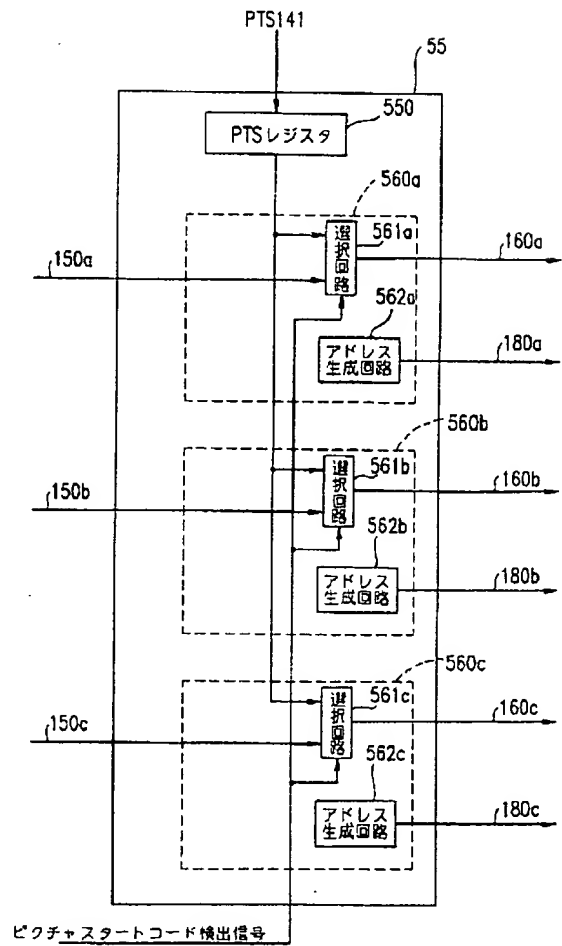
【図1】



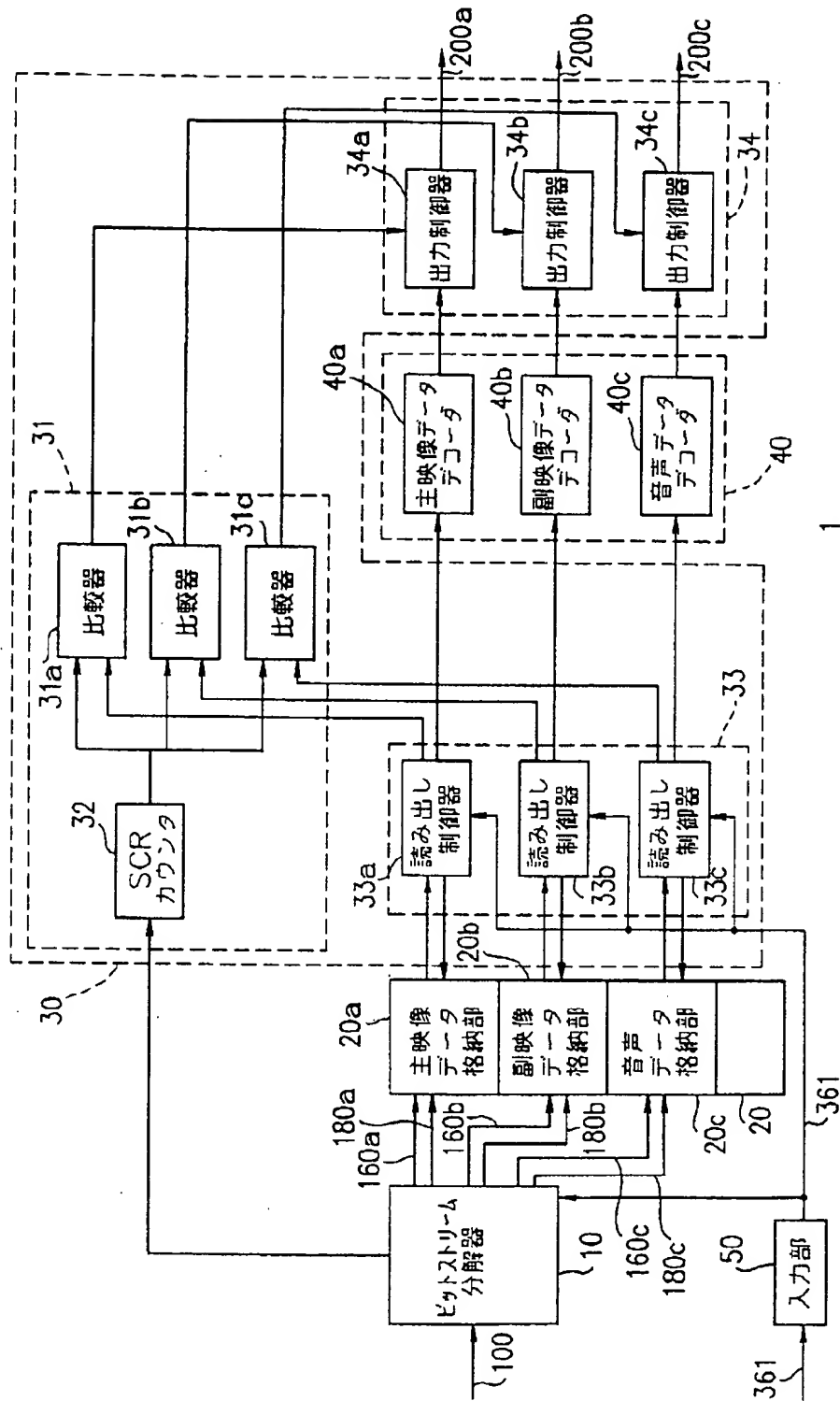
【図3】



【図7】



【図2】



【図4】

(a) パックヘッダ120のシンタックス

```

Pack_header()
{
    pack_start_code
    '01'
    system_clock_reference_base(32:30)
    marker_bit
    system_clock_reference_base(29:15)
    marker_bit
    system_clock_reference_base(14:5)
    marker_bit
    system_clock_reference_extension
    marker_bit
    program_mmr_rate
    marker_bit
    reserved
    pack_stuffing_length
    for(i=0; i<pack_stuffing_length; i++)
        stuffing_byte
    }
    if(next_byte() == system_header_start_code){
        system_header()
    }
}

```

パックヘッダ120のビット配列の例

```

0000 0000 0000 0000 0000 0001 1011 1010
01
000
1
0000 0000 0000 000
1
0000 0000 0000 100
1
0000 0000 0
1
0000 0000 0000 0000 01
1
11111
001
1111 1111

```

(b) PESヘッダ140のシンタックス

```

PES_packet()
{
    packet_start_code_prefix
    stream_id
    PES_packet_length
    if(stream_id == program_stream_map)
        && stream_id != padding_stream
        && stream_id != private_stream_2
        && stream_id != ECM
        && stream_id != ENM
        && stream_id != program_stream_directory()
    {
        PES_scrambling_control
        PES_priority
        data_alignment_indicator
        copyright
        PTS_QTS_flags
        PES_header_data_length
        if(PTS_QTS_flags == '10')
            '0010'
            PTS(32:30)
            marker_bit
            PTS(29:15)
            marker_bit
            PTS(14:0)
            marker_bit
        }
        if(PTS_QTS_flags == '11')
            '0011'
            PTS(32:30)
            marker_bit
            PTS(29:15)
            marker_bit
            PTS(14:0)
            marker_bit
            '0011'
            DTS(32:30)
            marker_bit
            DTS(29:15)
            marker_bit
            DTS(14:0)
            marker_bit
        }
        if(ESCR_flag == '1')
            reserved
    }
}

```

PESヘッダ140のビット配列の例

```

0000 0000 0000 0000 0000 0001
1110 0000
0000 0000 1111 1111

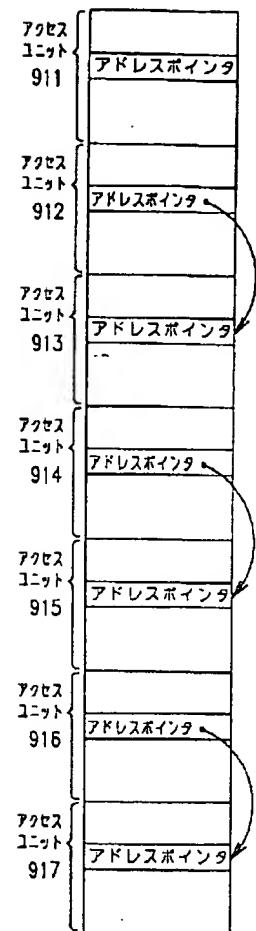
10
11
0
0
1
11

1000 0000

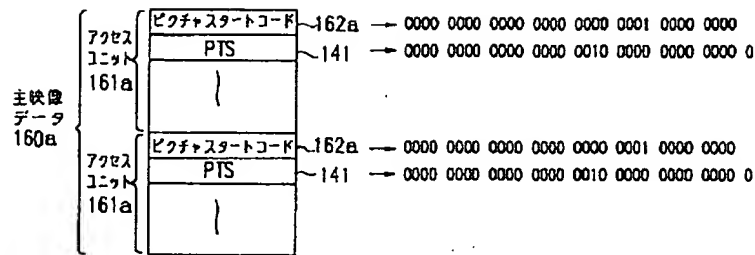
0011
000
1
0000 0000 0000 000
1
1000 0000 0000 000
1
0011
000
1
0000 0000 0000 000
1
1000 0000 0000 000
1
1
11

```

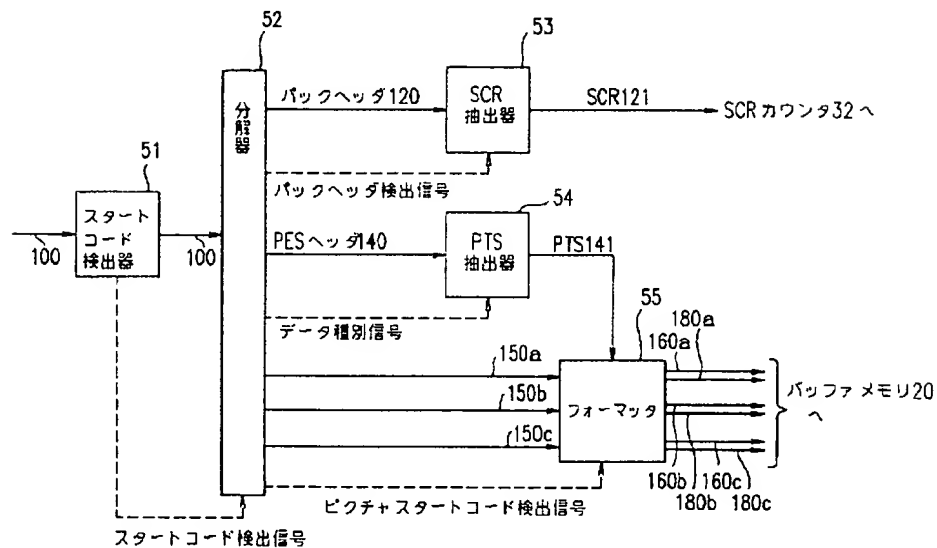
【図11】



【図 5】

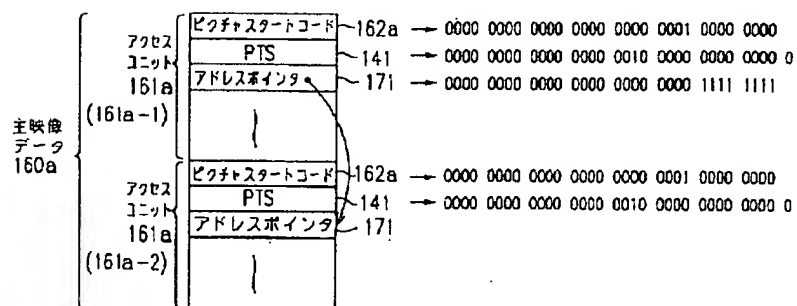


【図 6】

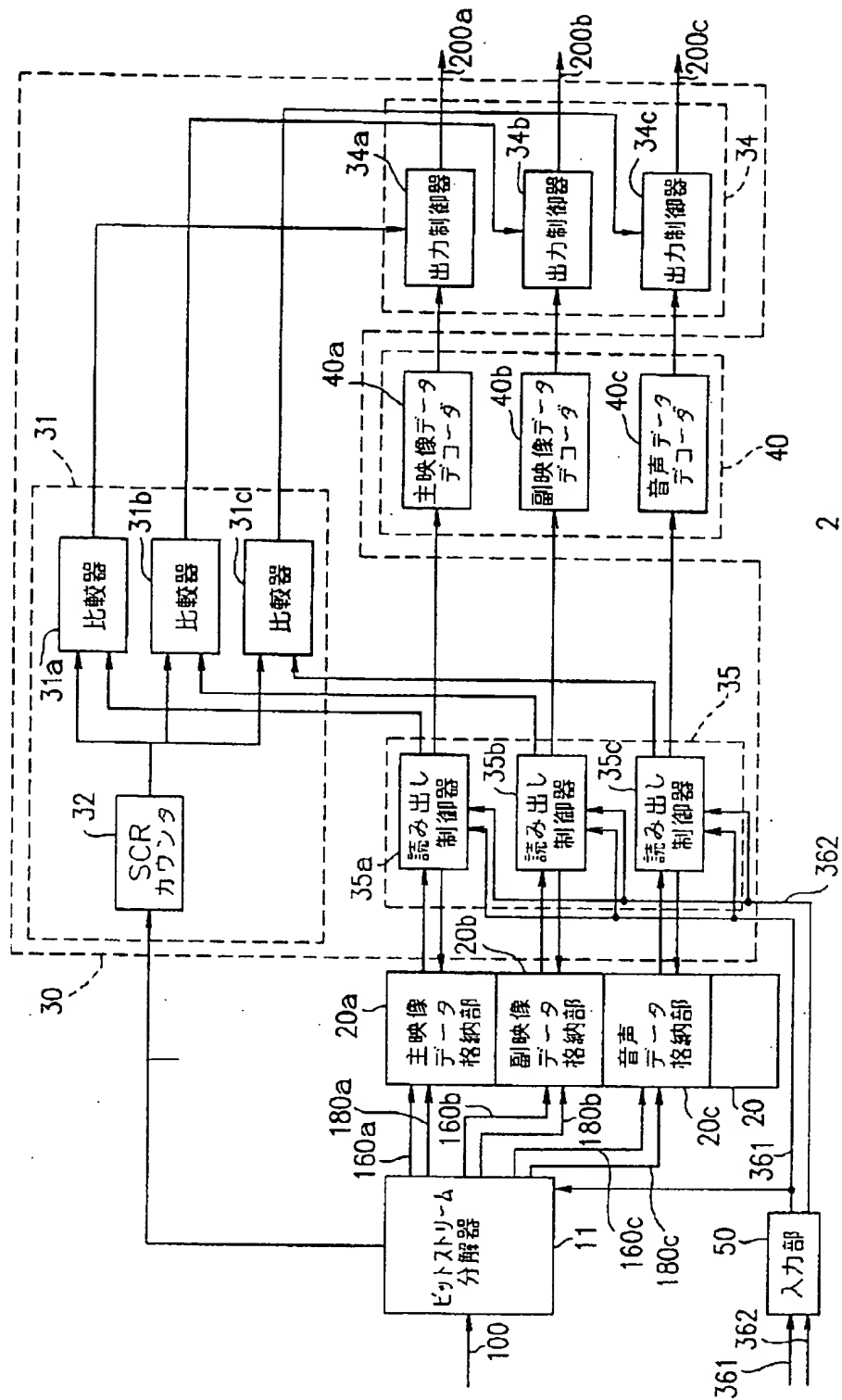


10

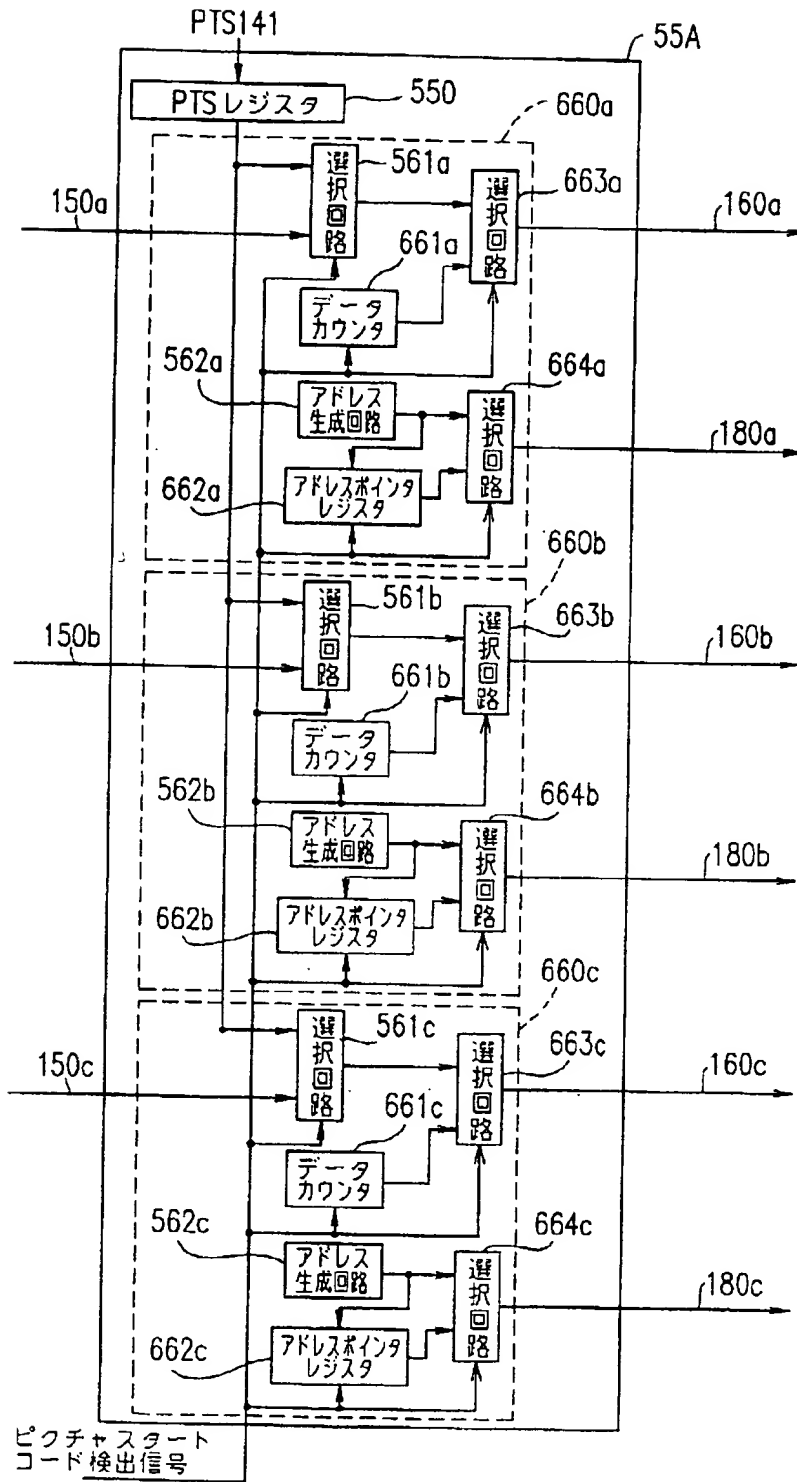
【図 9】



【図 8】



【図 10】



【図 1 2】

